

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-129331

(43)Date of publication of application : 30.04.1992

(51)Int.Cl.

H03M 1/10
G01R 31/26

(21)Application number : 02-250510

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.09.1990

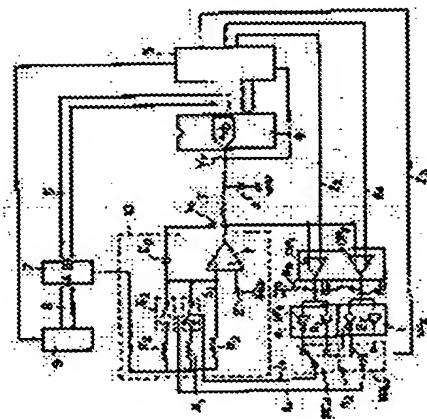
(72)Inventor : FUJINO YUJI

(54) TEST CIRCUIT FOR A/D CONVERTER

(57)Abstract:

PURPOSE: To change a timewise change in an output voltage of an integration means freely by changing an integration time constant of the integration means through the increase/decrease of number of impedance elements connecting to the means.

CONSTITUTION: As soon as a digital comparator T outputs a conversion data DB, an expected value data DA of a digital expected value generating circuit 9 is set. An output voltage V0 of an operational amplifier 1 rises rapidly by an output signal from the comparator 7. When the output voltage V0 of the operational amplifier 1 exceeds a threshold level VthN-1, a switching relay S1 is turned off and a change in the output voltage V0 of the operational amplifier 1 is slightly slow. When the output voltage V0 of the operational amplifier 1 exceeds a threshold level Vthn, the change in the output voltage V0 of the operational amplifier 1 is further slower. When the output voltage V0 of the operational amplifier 1 exceeds a transition level VN, the output voltage V0 of the operational amplifier 1 is decreased conversely. When the output voltage V0 is lower than the level VN, the logic state of a signal V1 is inverted, the output voltage V0 rises again. Through the repetition of the operation above, the output voltage V0 is converged in the vicinity of the transition level VN.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-129331

⑬ Int. Cl.

H 03 M 1/10
G 01 R 31/26

識別記号

C

庁内整理番号

9065-5 J
8411-2 G

⑬ 公開 平成4年(1992)4月30日

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 A/Dコンバータ試験回路

⑮ 特 願 平2-250510

⑯ 出 願 平2(1990)9月20日

⑰ 発 明 者 藤 野 雄 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 石川 泰男

明 細 書

1. 発明の名称

A/Dコンバータ試験回路

2. 特許請求の範囲

デジタル期待値を出力するデジタル期待値発生手段(800)と、A/Dコンバータ(4)が出力する変換データと前記デジタル期待値を比較して被積分信号を出力するデジタルコンパレータ手段(700)と、前記被積分信号を積分して前記A/Dコンバータ(4)と半導体試験手段(600)とに出力する積分手段(100)と、を備えたA/Dコンバータ試験回路において、

前記積分手段(100)の積分信号と前記半導体試験手段(600)の出力する閾値を比較する比較手段(200₋₁~200_{-n})と、前記比較手段(200₋₁~200_{-n})の出力信号を論理反転させた信号とストレートパスさせた信号を出力する論理調整手段(300₋₁~300_{-o})

と、前記論理調整手段(300₋₁~300_{-o})の出力信号をセレクトする切り換え手段(400₋₁~400_{-n})と、

前記積分手段(100)のインピーダンス素子(Q₀)に、前記切り換え手段(400₋₁~400_{-n})の出力信号で開閉をコントロールされるスイッチ手段(500₋₁~500_{-n})とインピーダンス素子(Q₁~Q_n)を直列接続したものを複数、並列に接続したことを特徴とするA/Dコンバータ試験回路。

3. 発明の詳細な説明

〔概要〕

アナログ/デジタル変換器(以下、A/Dコンバータとする。)の特性試験装置に係り、より詳しくは、A/Dコンバータが出力する変換データの最下位bit(以下、LSBとする)が変化する時のアナログ入力電圧(以下、遷移レベルとする)を測定するA/Dコンバータ試験装置に関

特開平4-129331 (2)

し、

積分回路10の出力電圧の経時変化量を多段に変化させて、遷移レベル近傍での出力電圧変化は小さく、他の電圧領域では素早く変化させて試験時間をより速くするA/Dコンバータ試験回路を提供すること目的とし、

デジタル期待値を出力するデジタル期待値発生手段と、A/Dコンバータが出力する変換データと前記デジタル期待値を比較して被積分信号を出力するデジタルコンパレータ手段と、前記被積分信号を積分して前記A/Dコンバータと半導体試験手段とに出力する積分手段と、を備えたA/Dコンバータ試験回路において、前記積分手段の積分信号と前記半導体試験手段の出力する閾値を比較する比較手段と、前記比較手段の出力信号を論理反転させた信号とストレートパスさせた信号を出力する論理調整手段と、前記論理調整手段の出力信号をセレクトする切り換え手段と、前記積分手段のインピーダンス素子に、前記切り換え手段の出力信号で開閉をコントロールされるスイッチ

手段とインピーダンス素子を直列接続したものを複数、並列に接続して 成する。

〔産業上の利用分野〕

本発明は、アナログ/デジタル変換器（以下、A/Dコンバータとする。）の特性試験装置に係り、より詳しくは、A/Dコンバータが出力する変換データの最下位bit（以下、LSBとする）が変化するときのアナログ入力電圧値（以下、遷移レベルとする。）を測定するA/Dコンバータ試験装置に関する。

近年のデジタル技術の急激な進歩は、より高度な回路技術が必要とした計測装置の分野でも、デジタル回路が多用されつつある。このデジタル化に必要な素子の一つにアナログデータをデジタルデータに変換するA/Dコンバータがある。

A/Dコンバータの性能を表現する指標として精度と分解能があるが、分解能とは最少間隔を有する2つのアナログ信号を判別する能力のことであり、分解能が高いほど、アナログ信号をデジ

タル信号でより細かく近似できることになる。例えば、nビットのA/Dコンバータでは 2^n 個のステップでアナログ入力信号を分解することであり、 $\frac{1}{2^n}$ の分解能を有することになる。さらに精度とは入力されるアナログ信号をより正確に対応するデジタルデータに変換できるかということである。

詳細に述べると、peak to peakが ± 10 Vの入力電圧を12ビットのA/Dコンバータでデジタル変換した場合、

分解能は $1/2^{12} = 1/4096$ 、

20 (V) / $4096 = 4.88$ (mV) であり、

-10 (V) ± 2.44 (mV) 以内の入力電圧を16進コード000に正しく変換できるか否かということである。この精度が悪いと、 -10 (V) ± 2.44 (mV) 以外の入力電圧も16進コード000と変換することになり、A/Dコンバータによる量子化誤差を大きくすることにな

る。

そこで、高分解能で、しかも高精度なA/Dコンバータが求められている。しかし、そのような高分解能で高精度のA/Dコンバータの遷移レベルを測定する場合、非常に時間のかかるものとなっている。本発明はこの測定時間のかかる試験装置の改良に関するものである。

〔従来の技術〕

従来のA/Dコンバータ試験回路の例を第5図に示す。同図に示すように、符号では演算増幅器（以下、オペアンプという。）で、その非反転入力端子には定電圧源2が接続されており、反転入力端子にはデジタルコンパレータ7の出力端子と抵抗 R_0 を介して接続されている。コンデンサ C_0 は負帰還用の積分コンデンサであり、積分回路50を構成している。オペアンプ1の出力端子は抵抗 Z を介してA/Dコンバータ4の入力端子と半導体試験装置5の入力端子とに接続されている。また、A/Dコンバータ4の入力端子には、

特開平4-129331(3)

クランパーとして作用するツェナーダイオード3のカソード端子が接続されている。

A/D変換されたデータ D_1 が出力されるA/Dコンバータ4の出力端子は複数の信号ラインで構成されたデータライン6でデジタルコンパレータ7の入力端子Bに接続されている。また、デジタルコンパレータ7の他方の入力端子Aにはデジタル期待値発生回路9の出力端子とデータライン8で接続されている。このデジタル期待値発生回路9は半導体試験装置5のコマンド信号によって期待値データ D_1 をデジタルコンパレータ7に出力する。

次に概要動作について説明する。このA/Dコンバータ試験装置はA/Dコンバータ4のアナログ入力電圧値で、A/D変換データのLSBが変化する遷移レベル V_1 、 V_2 、… V_n を測定する。

デジタル期待値発生回路9の出力する期待値データ D_1 とA/Dコンバータ4の変換データ D_2 をデジタルコンパレータ7は大小比較して2値信号 V_1 を積分回路10に出力する。この2値信号

は、データ $D_1 \geq$ データ D_2 なら V_α (V)で、データ $D_1 <$ データ D_2 なら V_β (V)、($V_\alpha < V_\beta$)となっている。

積分回路50は次の様な電圧 V_0 を出力する。

$$V_0 = - \frac{1}{C_0 R_0} \int (V_i - V_s) dt + V_s \quad \dots (1)$$

ここで V_s は定電圧源2の出力電圧であり、電圧 V_α 、 V_β 、 V_s の大小関係は $V_\alpha < V_s < V_\beta$ となっている。

従って、積分回路10の出力電圧 V_0 は、信号 V_1 が電圧 V_α なら上昇し続け、電圧 V_β ならば減少し続ける。

この変化する出力電圧 V_0 を入力されているA/Dコンバータ4は、変換データ D_3 を電圧 V_0 に追従するように変化させることになる。

従って、積分回路10の出力電圧 V_0 、つまりはA/Dコンバータ4のアナログ入力電圧 V_p は、第6図のように、期待値データ D_1 と変換するデータ D_2 が等しい間(ステップSの間)は上昇し

続け、変換データ D_2 が1bitインクリメントする遷移レベルを超えると逆に下降し、遷移レベル近傍を上下振動する。

この上下振動している場合のアナログ入力電圧 V_p の平均を求めて遷移レベル V_1 とする。

(発明が解決しようとする課題)

上記従来のA/Dコンバータ試験回路において問題となるのは、全遷移電圧値 V_1 、 V_2 、… V_n を測定する所要時間であって、分解能が高いA/Dコンバータほど多く時間を要する。この測定時間を決定する要因はアナログ入力電圧 V_p の単位時間当りの変化量であって、上記(1)式の微分係数によって表わされる。この微分係数は積分時定数 $C_0 R_0$ の関数であり、積分時定数 $C_0 R_0$ が小さいほど電圧 V_p の変化は激しいものとなる。そこで積分時定数 $C_0 R_0$ を小さくすれば第6図の電圧 V_p の遷移レベル V_{1-1} から遷移レベル V_1 に変化する所要時間 T_1 を短くすることができ、結果測定時間全体を短くすることが

できる。しかし、この電圧 V_p の変化を大きくすると遷移レベル近傍における電圧 V_p の振幅が大きくなり、半導体試験装置5で求めている遷移電圧値が不正確になる。これはA/Dコンバータ4のA/D変換に要するタイムロスで、変化し続ける積分回路10の出力へのフィードバックが遅れることによる。

A/Dコンバータ試験回路としては、遷移レベル近傍におけるA/Dコンバータ4のアナログ入力電圧 V_p の振幅が小さく、しかも前記所要時間 T_1 のより短いことが好ましいことになる。

そこで、本発明の目的は、積分回路10の出力電圧の経時変化量を多段に変化させて、遷移レベル近傍での出力電圧変化は小さく、他の電圧領域では素早く変化させて試験時間をより速くするA/Dコンバータ試験回路を提供することにある。

(課題を解決するための手段)

上記課題を解決するために、本発明は第1図に示すように、デジタル期待値を出力するデジタル

特開平4-129331(4)

期待値発生手段800と、A/Dコンバータ4が出力する変換データと前記デジタル期待値を比較して被積分信号を出力するデジタルコンパレータ手段700と、前記被積分信号を積分して前記A/Dコンバータ4と半導体試験手段600とに出力する積分手段100と、を備えたA/Dコンパレータ試験回路において、前記積分手段100の積分信号と前記半導体試験手段600の出力する閾値を比較する比較手段200₁~200_nと、前記比較手段200₁~200_nの出力信号を論理反転させた信号と、ストレートパスさせた信号を出力する論理調整手段300₁~300_nと、前記論理調整手段300₁~300_nの出力信号をセレクトする切り換え手段400₁~400_nと、前記積分手段100のインピーダンス素子Q₀に、前記切り換え手段400₁~400_nの出力信号で開閉をコントロールされるスイッチ手段500₁~500_nとインピーダンス素子Q₁~Q_nを直列接続したものを複数、並列に接続して構成する。

〔実施例〕

次に、本発明の実施例を図面に基づいて説明する。第2図~第3図に本発明の実施例を示し、第5図(従来例)と同一部分には同一符号を附してある。オペアンプ1、A/Dコンバータ4、デジタルコンパレータ7及びデジタル期待値発生回路9は従来例と同様で、A/Dコンバータ4はオペアンプ1から抵抗Zを介して入力される信号電圧V_pをA/D変換し、デジタルコンパレータ7に変換データD₀を出力する。デジタルコンパレータ7は、半導体試験装置5の出力コマンドに従ってデジタル期待値発生回路9が生成する期待値データD_nと、上記変換データD₀とを比較して被積分信号をオペアンプ1に出力する。

従来例と異なる部分を以下に説明する。オペアンプ1の反転入力端子に接続されている抵抗R₁には、スイッチングリレーS₁を直列に接続した抵抗R₁と、スイッチングリレーS₂を直列に接続した抵抗R₂とが並列に接続されている。比較器OP₁、OP₂の各反転入力端子はオペアンプ

〔作用〕

本発明によれば、積分手段100より出力される積分信号の電圧を遷移レベルV_{n-1}から遷移レベルV_nに変化させるとき、上記積分信号の電圧が半導体試験手段600によって定められた閾値を越えたことを比較手段200₁~200_nで検知し、論理調整手段300₁~300_n及び切り換え手段300₁~300_nによってスイッチ手段500₁~500_nの開閉をコントロールする。このスイッチ手段500₁~500_nの開閉によりオペアンプ1に接続されるインピーダンス素子の個数が増減することで積分信号の電圧値経時変化量が調整される。積分信号の電圧値が遷移レベルV_n近傍では、その変化量を小さく、他の電圧範囲では変化量を大きくするように調整することで、遷移レベルV_{n-1}から遷移レベルV_nへの積分信号の出力変化はより早くでき測定時間の短縮を図れる。

(7-1)

1の出力端子と接続されている。比較器OP₁の非反転入力端子には、信号E₁が入力されるように半導体試験装置5の出力端子が接続されており、比較器OP₂の非反転入力端子にも同様に、信号E₂が入力されるように半導体試験装置5の出力端子が接続されている。抵抗R₃でプルアップされた比較器OP₁の出力端子は、論理反転回路VF₁のインバータA₁とノンインバータB₁の各入力端子に接続されている。そして、インバータA₁とノンインバータB₁の各出力端子はセレクトSEL₁の2つの切り換え接点にそれぞれ接続されている。また、比較器OP₂の出力端子も同様に、抵抗R₄でプルアップされるとともに、インバータA₂とノンインバータB₂の入力端子に接続され、インバータA₁とノンインバータB₁の各出力端子はセレクトSEL₂の切り換え接点にそれぞれ接続されている。このセレクトSEL₁、SEL₂は半導体試験装置5より出力される信号E₃によってコントロールされる。

セレクトSEL₁より出力される信号E₁で前

特開平4-129331(5)

記したスイッチングリレー S_1 の開閉がコントロールされセレクト SEL_2 より出力される信号 δ_2 でスイッチングリレー S_2 がコントロールされる。

次に動作について説明する。

スイッチングリレー S_1 、 S_2 が開閉されると、積分時定数は $C \left(\frac{1}{R_1} + \frac{1}{R_2} \dots \right)$ と変化する。

この積分時定数が小さいと、前記(1)式からも分かるように、オペアンプ1の出力電圧 V_0 の経時変化量は大きくなる。そこで、半導体試験装置5によりスイッチングリレー S_1 、 S_2 の開閉をコントロールすることでオペアンプ1の出力特性をリアルタイムに変化させる。

A/Dコンバータ4の遷移レベルの最低値より順次測定する場合と、最高値より順次測定する場合とではその動作が異なり、初めに最低値より順次測定する場合について説明する。

初期設定として期待値発生回路9をゼロ・クリアしてオペアンプ1の出力電圧 V_0 を最低出力ま

で下げ、セレクト SEL_1 、 SEL_2 をインバータ B_1 、 B_2 側に切り換えておく。比較器 OP_1 、 OP_2 の出力電圧は、入力信号 δ_1 、 δ_2 の電圧値よりオペアンプ1の出力電圧 V_0 が低いため、ハイレベルとなっている。これによりスイッチングリレー S_1 、 S_2 はオンし、積分時定数は最小となっている。

この状態よりA/Dコンバータ4を動作させ、デジタルコンバータ7に変換データ D_0 を出力させるとともに、デジタル期待値発生回路9の期待値データ D_A をセットさせる。変換データ D_0 と期待値データ D_A との大小比較に基づくデジタルコンバータ7の出力信号により、オペアンプ1の出力電圧 V_0 は第4図実線 U_1 のように急速に上昇する。

比較器 OP_1 、 OP_2 に入力されている信号 δ_1 、 δ_2 の電圧値は半導体試験装置5によって閾値 V_{th1} 、 V_{th2} に設定されており、オペアンプ1の出力電圧 V_0 が閾値 V_{th1} を越えると、比較器 OP_1 の出力レベルが反転し、スイッチン

グリレー S_1 がオフする。これにより抵抗 R_1 の接続が開放され積分時定数が大きくなり、オペアンプ1の出力電圧 V_0 の変化は、第4図実線 U_2 のように、やや緩やかになる。さらに、出力電圧 V_0 が閾値 V_{th2} を越えるとスイッチングリレー S_2 もオフして抵抗 R_2 の接続が開放されて、出力電圧 V_0 の変化はさらに緩やかになる。しかし、出力電圧 V_0 が遷移レベル V_1 を越えると、デジタルコンバータ7の出力信号 V_1 が論理反転し、オペアンプ1の出力電圧 V_0 は逆に下がる。再び出力電圧 V_0 が遷移レベル V_1 より低くなると信号 V_1 が論理反転して、出力電圧 V_0 は再び上昇する。この繰り返しにより、出力電圧 V_0 は遷移レベル V_1 近傍に収束することになる。

こうして、遷移レベル V_1 が測定されると、半導体試験装置5は期待値データ D_A を1bitインクリメントするとともに、信号 δ_1 、 δ_2 の電圧レベルを閾値 V_{th1+1} 、 V_{th2+2} にインクリメントして次の遷移レベル V_{1+1} について測定する。このようにして遷移レベル V_1 、 V_2 、 \dots 、 V_n につ

いて順次測定される。

以上とは別に、遷移レベル V_1 、 V_2 、 \dots 、 V_n を高い値より低い値に向かって測定する場合には、セレクト SEL_1 、 SEL_2 をインバータ A_1 、 A_2 側に切り換えておく。これは信号 δ_1 、 δ_2 による閾値 V_{th1} 、 V_{th2} よりオペアンプ1の出力電圧 V_0 が下がったときに初めてスイッチングリレー S_1 、 S_2 を開放させるためである。その他の動作は上記と同様である。

次に、第2実施例を第3図を用いて説明する。第1実施例と異なる部分は、積分器10の積分時定数を接続する負帰還用のコンデンサ C_0 、 C_1 、 C_2 によって変化させたことである。コンデンサ C_0 に、スイッチングリレー S_1 を直列接続したコンデンサ C_1 と、スイッチングリレー S_2 を直列接続したコンデンサ C_2 を直列に接続してある。スイッチングリレー S_1 、 S_2 の開閉は、第1実施例と同様に、セレクト SEL_1 、 SEL_2 で切り換えられたインバータ A_1 、 A_2 又はインバータ B_1 、 B_2 の出力信号 δ_1 、 δ_2 によってコン

特開平4-129331(6)

トロールされている。ただし、セレクト S_{EL1} 、 S_{EL2} の切り換えは、第1実施例と異なり、A/Dコンバータ4の遷移レベル V_1 、 V_2 … V_n を低い値より順に測定する際には、インバータ A_1 、 A_2 側にしておき、遷移レベルを高い値より測定する際には、ノンインバータ側に切り換えておく。

このようにして、積分器10の積分時定数を変化させたことで、遷移レベル V_{i-1} から次の遷移レベル V_i への、電圧変化を大きくでき、測定時間の短縮を図ることができる。さらには、遷移レベル V_i 近傍におけるオペアンプ1の出力電圧 V_o の振動を小さな振幅とすることで、より精度の高い遷移レベル測定が可能である。

以上の実施例において、2個のスイッチングリレー S_1 、 S_2 の開閉で積分時定数を変化させたものを示したが、その個数については限定するものではない。

〔発明の効果〕

以上のとおり、本発明によれば、積分手段の積分時定数を、接続されているインバータ素子の個数を増減させて変化させたので、積分手段の出力電圧の経時変化量を自由に変化させることができ、遷移レベル近傍における出力変化をより小さく、しかも遷移レベルから次の遷移レベルへの出力変化はより早くすることができ、A/Dコンバータの試験時間を短縮できるとともに、遷移レベル測定の精度を高めることが可能となる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は第1実施例の回路図、

第3図は第2実施例の回路図、

第4図はオペアンプ1の出力特性説明図、

第5図は従来のA/Dコンバータ試験装置の回路図、

第6図は従来のA/Dコンバータ入力特性説明図である。

100…積分手段

200₋₁～200_{-n}…比較手段

300₋₁～300_{-n}…論理調整手段

400₋₁～400_{-n}…切り換え手段

500₋₁～500_{-n}…スイッチ手段

600…半導体試験手段

700…デジタルコンパレータ手段

800…デジタル期待値発生手段

1…オペアンプ

2…定電圧源

3…ツェナーダイオード

4…A/Dコンバータ

5…半導体試験装置

6…データライン

7…デジタルコンパレータ

8…データライン

9…デジタル期待値発生回路

10…積分回路

V_{F1} 、 V_{F2} …論理反転回路

R_1 、 R_2 、 R_3 、 Z 、 R_4 、 R_5 …抵抗

OP_1 、 OP_2 …比較器

A_1 …インバータ

B_1 …ノンインバータ

A_2 …インバータ

B_2 …ノンインバータ

S_1 、 S_2 …スイッチングリレー

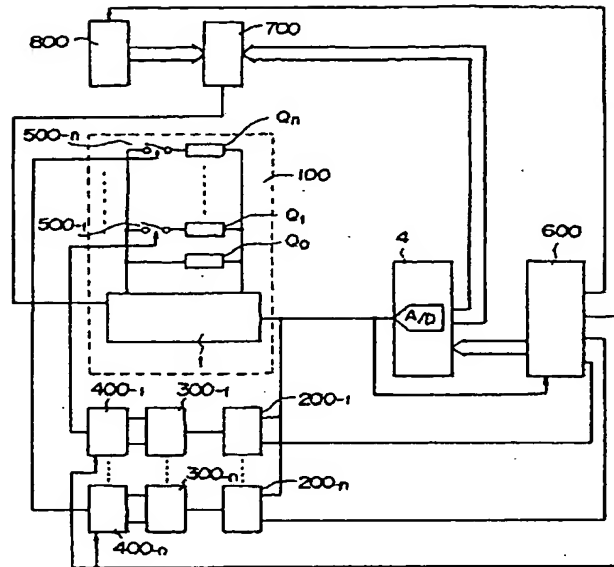
S_{EL1} 、 S_{EL2} …セレクト

C_0 、 C_1 、 C_2 …コンデンサ

GND…グランド

出願人代理人 石 川 泰 男

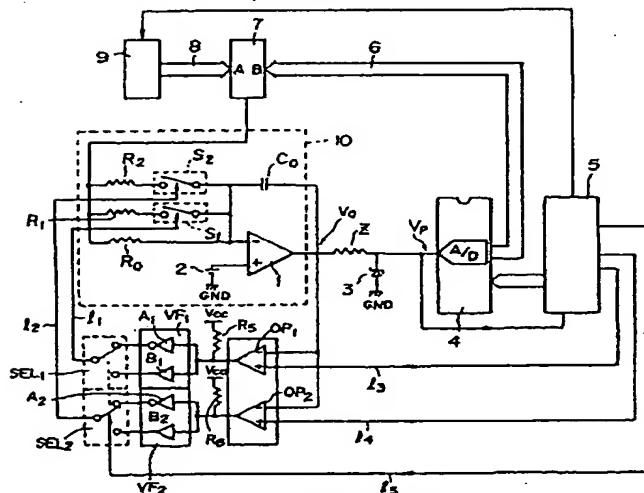
特開平4-129331(7)



- 1: オペアンプ
2: 基準電圧
3: フィードバック回路
4: A/Dコンバータ
5: 半導体試験装置
6: データライン
7: データライン
8: データライン
9: デジタル期待値発生回路
- 700: デジタルコンパレータ手段
800: デジタル期待値発生手段
Q₀, Q₁, Q_n: インピダンス素子
500, 500-n: スイッチ手段
- 100: 積分手段
200-1, 200-n: 比較手段
300-1, 300-n: 論理調整手段
400-1, 400-n: 切り換え手段

本発明の原理説明図
第1図

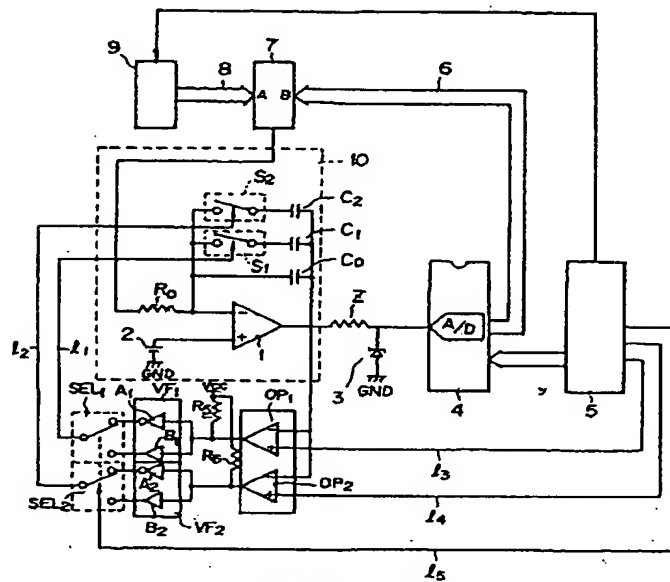
- 1: オペアンプ
2: 基準電圧
3: フィードバック回路
4: A/Dコンバータ
5: 半導体試験装置
6: データライン
7: データライン
8: データライン
9: デジタル期待値発生回路
- VF₁, VF₂: 論理反転回路
R₀: 抵抗
R₁: 抵抗
R₂: 抵抗
Z: 抵抗
R₃: 抵抗
R₄: 抵抗
OP₁: 比較器
OP₂: 比較器
A₁: インバータ
B₁: ノンインバータ
- A₂: インバータ
B₂: ノンインバータ
S₁: スイッチングリレー
S₂: スイッチングリレー
SEL₁: セレクタ
SEL₂: セレクタ
C₀: コンデンサ
GND: グランド
10: 積分器



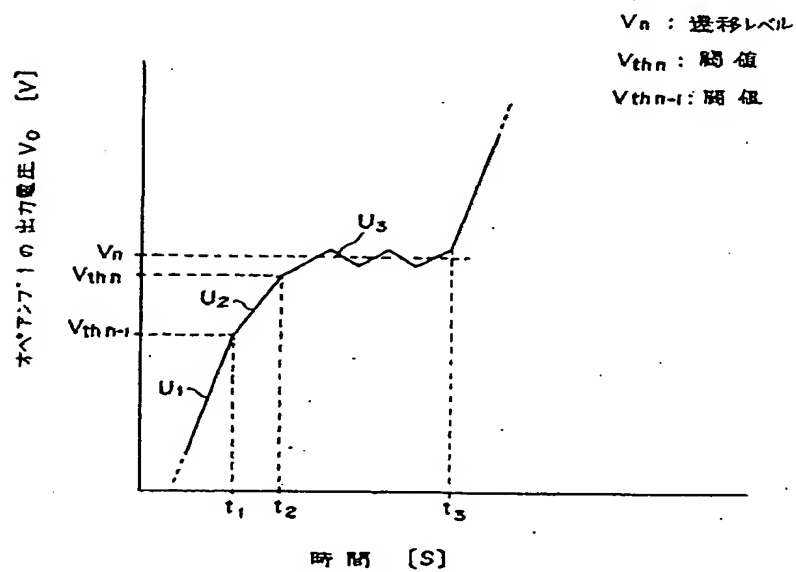
本発明の実施例の回路図
第2図

特開平4-129331 (8)

C₁: コンデンサ
C₂: コンデンサ



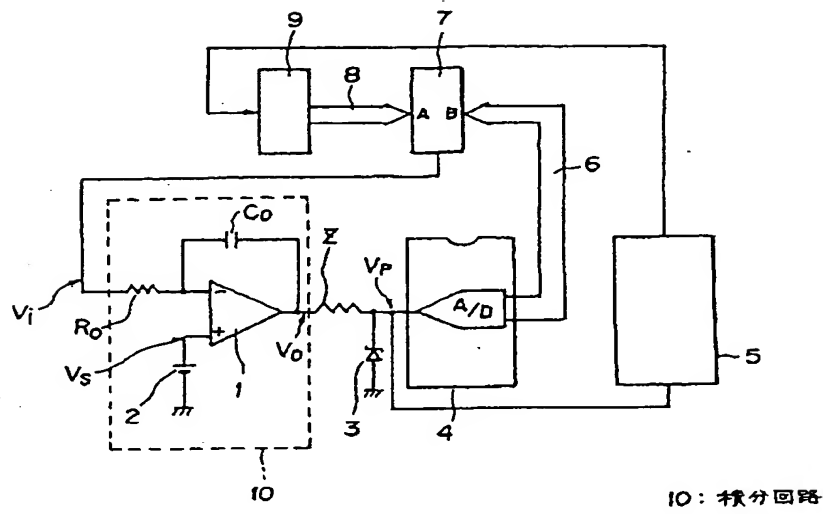
第2実施例の回路図
第3図



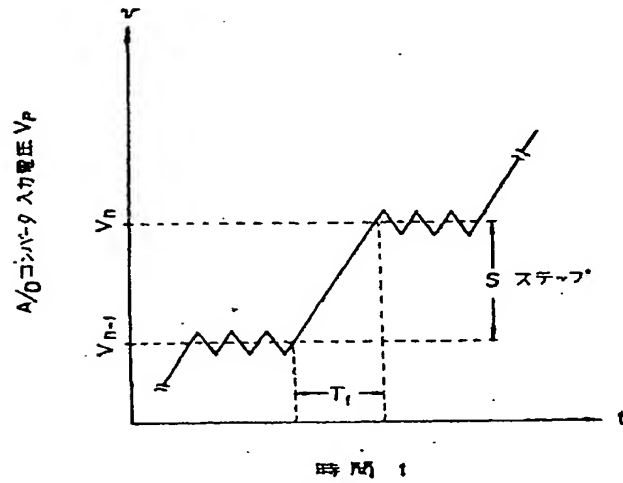
オペアンプ1の出力特性図

第4図

特開平4-129331 (9)



従来例の回路図
第 5 図



従来例の A/D コンバータ 入力電圧 - 時間図
第 6 図

